



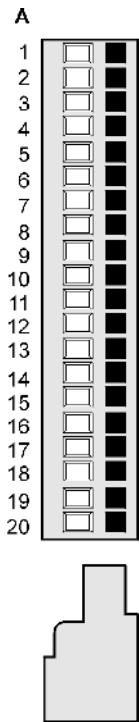


# MIM – Card

 MIM - Card	release hardware	Scheda di specializzazione / <i>Specialization card</i>
	<b>01.0</b>	<b>L2-CV3</b>

 A/B/Z	 Digital IN	 Digital OUT	 Analog OUT
<b>1</b> (Line Driver)	<b>4</b> (PNP)	<b>4</b> (70 mA)	<b>1</b> (16 bit)



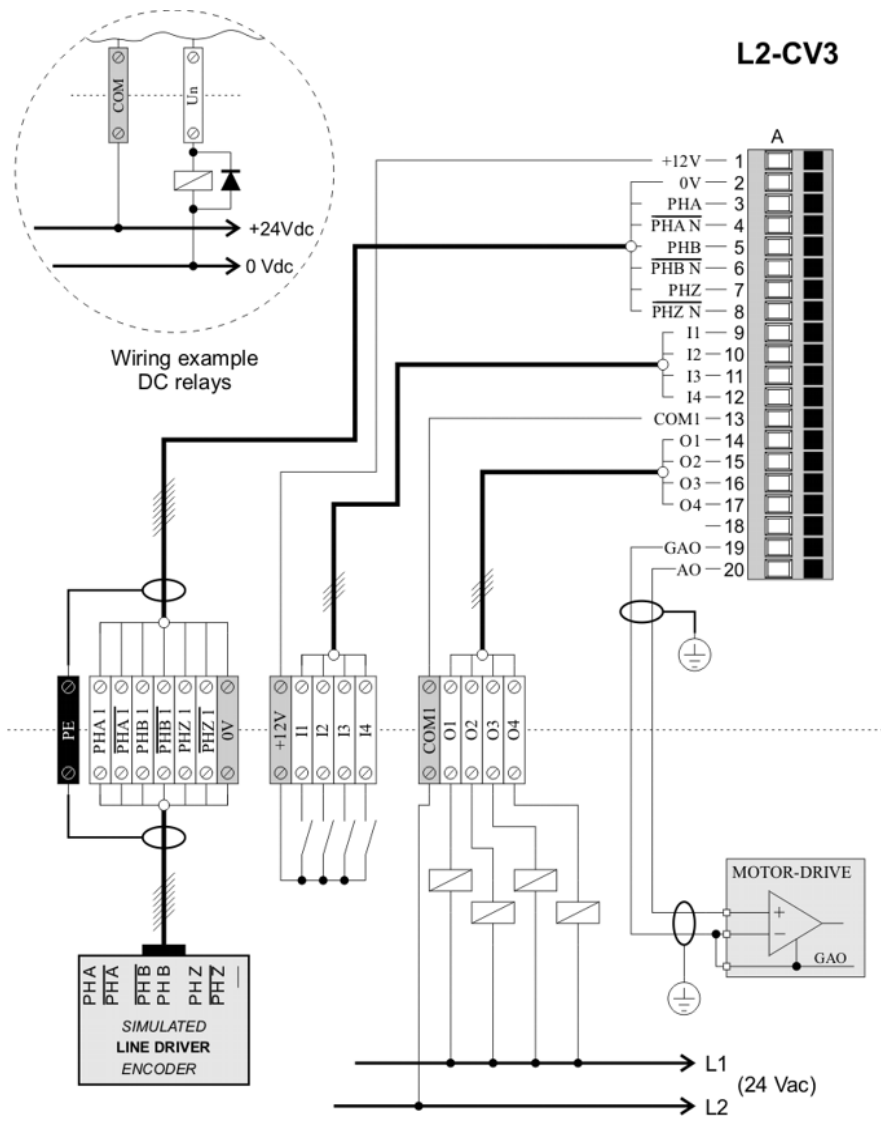
Pin	Nome Name	Descrizione Description	Indirizzo Address
1A	+ 12 V	OUT 12 Volt **	-
2A	0 V		-
3A	PHA	Encoder	X.CNT01
4A	PHA N		
5A	PHB		
6A	PHB N		
7A	PHZ		
8A	PHZ N		1.INTz1 (*)
9A	I1	Ingressi digitali (PNP) <i>Digital inputs (PNP)</i>	X.INP01
10A	I2		X.INP02
11A	I3		X.INP03
12A	I4		X.INP04
13A	COM	Comune / <i>Common</i>	-
14A	O1	Uscite digitali <i>Digital outputs</i>	X.OUT01
15A	O2		X.OUT02
16A	O3		X.OUT03
17A	O4		X.OUT04
18A	-	-	-
19A	GAO (0V)	Uscita analogica <i>Analog output</i>	-
20A	AO		X.AN01

\* = Ingressi associati alle **Linee di interrupt** della CPU (Vedi pag. 6).  
*Inputs are associate to CPU Interrupt lines (See on pag. 6).*

\*\* = Alimentazione erogata dallo strumento  
*Power supply provided by the instrument*

# Esempi di collegamento


## Wiring example



# Encoder LD

## LD Encoder

Frequenza massima <i>Maximum frequency</i>	200 kHz
Tempo minimo tra un fronte di PHA e il successivo di PHB <i>Minimum time between a PHA edge and next PH B edge.</i>	1,25 $\mu$ s
Tempo minimo di acquisizione (hardware) di PHZ <i>Minimum PHZ acquisition time (hardware)</i>	5 $\mu$ s
Isolamento <i>Insulation</i>	1000 Vrms
Tensione di funzionamento nominale <i>Nominal voltage working</i>	5 Vdc
Tensione stato logico 0 <i>Logic state 0 voltage</i>	0 $\div$ 2 V
Tensione stato logico 1 <i>Logic state 1 voltage</i>	2,5 $\div$ 4,5 V
Caduta di tensione interna (esclusa caduta Ri) <i>Inside Voltage drop (drop Ri exclude)</i>	1,5 V
Resistenza di ingresso <i>Input resistance</i>	130 $\Omega$
Lunghezza massima cavi di collegamento al trasduttore <i>Maximum wire lenght to trasductor</i>	10 m

 I tempi di commutazione dipendono dal tipo di carico; i dati riportati si riferiscono a carichi resistivi.  
*The switching time depends on the type of load; the mentioned data refers to the resistive loads.*

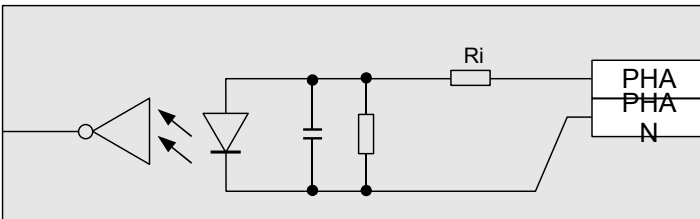


Fig. 1: Schema elettrico / Electric layout

## Ingressi digitali Digital inputs

Tipo di polarizzazione Bias type	PNP
Tempo min. di acquisizione (hardware) Min. acquisition time (hardware)	3 ms
Isolamento Insulation	1000 Vrms
Tensione di funzionamento nominale Nominal voltage working	24 Vdc
Tensione stato logico 0 Logic state 0 voltage	10,5 ÷ 26,5 V
Tensione stato logico 1 Logic state 1 voltage	0 ÷ 2 V
Caduta di tensione interna Internal Voltage drop	5 V
Resistenza di ingresso Input resistance	2700 Ω

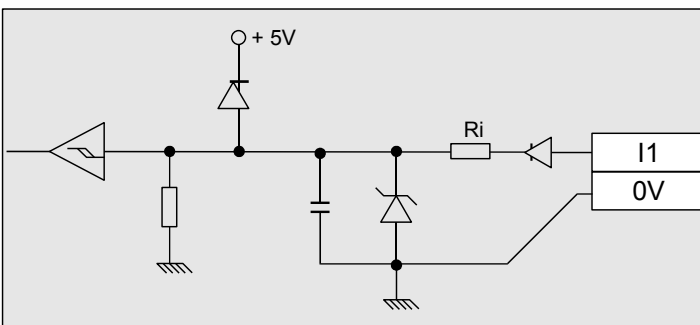


Fig. 2: Schema elettrico PNP / PNP Electric layout

## Uscite digitali (70mA) Digital outputs (70mA)

Carico commutabile Commutable load	ac / dc (NPN / PNP)
Isolamento Insulation	1000 Vrms
Max. tensione di funzionamento Maximum operating voltage	24 V ac/dc
Caduta di tensione interna Inside Voltage drop	2,5 V
Corrente nominale Nominal current	10 mA
Corrente max. Max.current	70 mA
Corrente residua Off-state current	0,02 mA
Tempo di commutazione da ON a OFF Switching time from ON to OFF	0,120 ms (max.)
Tempo di commutazione da OFF a ON Switching time from OFF to ON	0,1 ms (max.)



I tempi di commutazione dipendono dal tipo di carico; i dati riportati si riferiscono a carichi resistivi.  
Commutation times depends on the load type; the data reported are referred to the resistive loads.

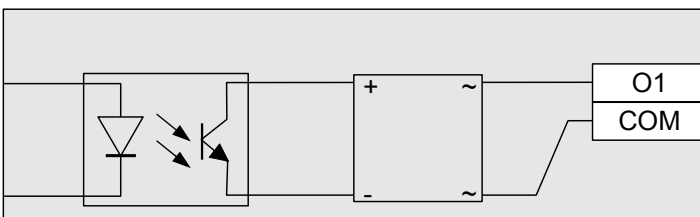


Fig. 3: Schema elettrico / Electric layout

## Uscite analogiche Analog outputs

Tipo di collegamento <i>Connection type</i>	In modo comune <i>Common type</i>
Isolamento <i>Insulation</i>	1000 Vrms
Range di tensione (minimo a vuoto) <i>Voltage range (minimum at void)</i>	-9,8 V / + 9,8 V
Max. variazione offset * <i>Max. offset variation *</i>	+ 5 mV (25° C)
Risoluzione <i>Resolution</i>	16 bit
Corrente max. <i>Max. current</i>	1 mA
Variazione dell'uscita in funzione del carico <i>Output variation on output current</i>	100 $\mu$ V/mA

\* = A seconda delle applicazioni è possibile realizzare una compensazione software delle derive dell'offset.  
*According with the application it is possible to realize a software compensation of the offset drift.*

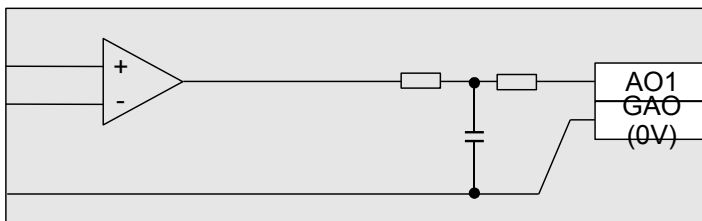


Fig. 4: Schema elettrico / *Electric layout*

# Informazioni per la programmazione

## *Programming information*

Dichiarazione della scheda nella sezione BUS dell'unità di configurazione:  
*Card declaration in BUS section of configuration unit:*

Numero Slot <i>Slot number</i>	Codice software della scheda <i>Card software code</i>	Versione firmware <i>Firmware version</i>
X	L2CV0	00

**Esempio:**  
*Example:*

BUS

```

1    502BF  10    ;Slot 1
2    .      .    ;Slot 2 (empty)
3    .      .    ;Slot 3 (empty)
4    L2CV0  .    ;Slot 4
5    .      .    ;Slot 5 (empty)
6    .      .    ;Slot 6 (empty)

```

Ogni risorsa hardware va associata allo stesso indirizzo (Nome) utilizzato per la descrizione delle connessioni elettriche.  
**Esempio**, se la scheda è installata nello slot 4, l'ingresso X.INP01 deve essere associato all'indirizzo 4.INP01.

*Each hardware resource must be associated with the same address used in the electric description.*  
**Example**, if the card is installed in slot 4, the input X.INP01 must be associated to 4.INP01 address.

**Esempio:**  
*Example:*

(Nella unità di configurazione / *In configuration unit*)

...

INPUT

```

ifLS_Max F 4.INP01
...
```

# Linee di interrupt

## *Interrupt line*

	R5x2/D9x2				
	2	3	4	5	6
1.INTz1	-	z1=6 (1.INT06)	z1=7 (1.INT07)	-	-

**Note varie**  
**Notes**

Nessuna nota presente.  
*No notes present.*

